

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **05-142570**
(43)Date of publication of application : **11.06.1993**

(51)Int.Cl.

G02F 1/136

G02F 1/133

H01L 27/12

H01L 29/784

(21)Application number : **03-305040**

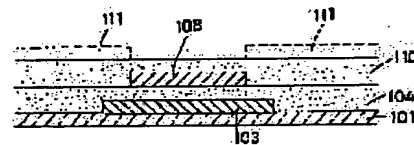
(22)Date of filing : **20.11.1991**

(71)Applicant : **SHARP CORP**
(72)Inventor : **ISHIGURO KENICHI**
TANAKA HIROHISA
NISHIMURA KENICHI
MORIMOTO HIROSHI

(54) ACTIVE MATRIX SUBSTRATE

(57)Abstract:

PURPOSE: To form the active matrix substrate to a structure which can improve its contrast.
CONSTITUTION: The substrate is made into the structure that picture element electrodes 111 and source wirings 108 as signal wirings do not overlap and that the adjacent picture element electrodes 111 and the ends of the metallic films 103 overlap each other. The constitution of the parasitic capacity between the picture element electrodes 111 and the source wirings 108 is made into the series constitution of the capacity by the picture element electrodes 111 and the metallic films 103 and the capacitors by the metallic films 103 and the source wirings 108. The parasitic capacity acting on the picture element electrodes 111 is thus decreased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-142570

(43)公開日 平成5年(1993)6月11日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/133	5 0 0	7348-2K		
H 0 1 L 27/12	A	8728-4M		
29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 A
審査請求 未請求 請求項の数4(全 7 頁)				

(21)出願番号 特願平3-305040

(22)出願日 平成3年(1991)11月20日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 石黒 謙一

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 田仲 広久

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 西村 健一

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 弁理士 山本 秀策

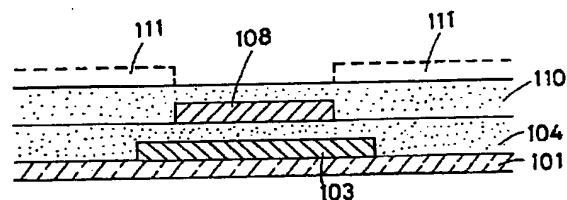
最終頁に続く

(54)【発明の名称】 アクティブマトリクス基板

(57)【要約】

【目的】 アクティブマトリクス基板の構造をコントラストを向上できるようにする。

【構成】 画素電極111と信号配線としてのソース配線108とが重ならず、かつ隣合う画素電極111と金属膜103の端部とが重なる構造となっている。このため、画素電極111とソース配線108との間での寄生容量の構成が、画素電極111と金属膜103による容量と、金属膜103とソース配線108による容量との直列構成となり、画素電極111に及ぶ寄生容量を低減させることができる。



【特許請求の範囲】

【請求項1】 基板上に走査配線と信号配線とが交差し形成されていると共に、両配線で囲まれた領域にスイッチング素子と画素電極とがマトリクス状に形成され、該信号配線と該画素電極との間に絶縁膜が設けられたアクティブマトリクス基板において、
 該信号配線がその幅方向端部を該画素電極と重畳させることなく隣合う画素電極の間の部分と対向させて設けられていると共に、該信号配線の画素電極とは反対側に寄生容量用の金属膜が、信号配線の少なくとも一部分と重畳しかつ信号配線との間に別の絶縁膜を介して設けられ、該金属膜が該幅方向における両端部を、該信号配線が対向する該部分の両側にある画素電極の端部と重畳させてあるアクティブマトリクス基板。

【請求項2】 前記金属膜が、前記走査配線を形成するときに該走査配線と同一材料で形成された請求項1記載のアクティブマトリクス基板。

【請求項3】 基板上に走査配線と信号配線とが交差し形成されていると共に、両配線で囲まれた領域にスイッチング素子と画素電極とがマトリクス状に形成されたアクティブマトリクス基板において、
 該走査配線が隣合う画素電極の間の部分と対向させて設けられていると共に、走査配線と画素電極との間に2つの金属膜が走査配線の幅方向に並設され、各金属膜がその全体を走査配線と対向する該部分の両側にある画素電極のそれぞれと対向させると共に、走査配線と対向する隣合う画素電極間部分側にある端を該画素電極の端に揃えてあり、かつ端を揃えた各端部を走査配線の幅方向両端部と重畳させてあるアクティブマトリクス基板。

【請求項4】 前記金属膜が前記信号配線と同じ材料で形成された請求項3記載のアクティブマトリクス基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリクス基板、特にマトリクス型液晶表示装置として用いるアクティブマトリクス基板に関するものである。

【0002】

【従来の技術】薄型・低消費電力という特徴を有している液晶表示装置は、CRTに変わる表示装置として注目を集めている。中でも、薄膜トランジスタ（以下TFTと略す）アレイを用いたアクティブマトリクス駆動方式の液晶表示装置は、液晶の応答速度が速く、表示品位が高いなどの利点をもっている。特に、アモルファスシリコン（a-Siと略す）を用いたTFTは低温成膜が可能であるため、表示装置の大画面化、高精細化、低価格化が可能であるとみられ、近年その技術開発が盛んである。

【0003】このような液晶表示装置は、アクティブマトリクス基板と対向基板とを対向配設し、両基板間に液晶を封入して構成される。従来のアクティブマトリクス

基板の例を図8に、図8のC-C'断面図を図9に示す。

【0004】図8のアクティブマトリクス基板は以下のように作成される。透明絶縁性基板401上に金属薄膜を形成し、この金属薄膜の表面をホトレジスト膜からなるマスクで覆ってエッチングを行い、走査配線としてのゲート配線とゲート電極402を形成する。次に、絶縁膜403となるSiNx膜を全面にわたって連続的に被着させ、その後、半導体層となるa-Si層404と、絶縁膜405となるSiNx膜とを全面にわたって連続的に被着した後、ホトエッチングにより上記絶縁膜405を図示のようにパターン化する。次に、Pをドーブしたa-Si膜406を全面にわたって被着した後、ホトエッチングにより上記絶縁膜405の両側部以外を除去し、さらに金属薄膜を被着した後、ホトエッチングを行うことにより、図示のようなパターンをした信号配線としてのソース配線とソース電極407、およびドレイン電極408を形成する。これにより、前記TFTが形成される。次に、絶縁膜を上記構造の上に全面に被着し絶縁膜409とし、コンタクト・ホール410を上記絶縁膜409にホトエッチングにより形成する。最後に、コンタクト・ホール410に充填すると共にゲート配線402に一部重なる状態で、絶縁膜409上に透明導電性膜を被着した後、ホトエッチングを行うことにより画素電極411を形成する。

【0005】

【発明が解決しようとする課題】しかしながら、従来の構造では、図10（図8のD-D'断面図）に示すように画素電極411とソース配線407とが一部重畳しているため、画素電極411とソース配線407との間に寄生容量が発生し、TFTがOFF状態の時画素電極411の電位がソース配線407に加えられた信号の影響を受けるので、表示のコントラストが低下してしまうという問題があった。

【0006】また、従来の構造では、ゲート配線402ごとに画素電極411に書き込む信号の極性を反転させる1H反転駆動をした場合、図8に示すように、隣合う画素電極411の端部が同一のゲート配線402と対向し、その対向部で容量が生じて、上記隣接する画素電極411間に相互作用が生じ、電界の乱れが生じる。その結果、液晶分子に乱れが生じ、例えばノーマリ・ホワイトのモード時には黒を表示する際に光漏れが生じ、この場合にもコントラストが低下するという問題があった。

【0007】本発明は、かかる従来技術の課題を解決すべくなされたものであり、コントラストを向上できるアクティブマトリクス基板を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明のアクティブマトリクス基板は、基板上に走査配線と信号配線とが交差し形成されていると共に、両配線で囲まれた領域にスイ

ッチング素子と画素電極とがマトリクス状に形成され、該信号配線と該画素電極との間に絶縁膜が設けられたアクティブマトリクス基板において、該信号配線がその幅方向端部を該画素電極と重畳させることなく隣合う画素電極の間の部分と対向させて設けられていると共に、該信号配線の画素電極とは反対側に寄生容量用の金属膜が、信号配線の少なくとも一部分と重畳しかつ信号配線との間に別の絶縁膜を介して設けられ、該金属膜が該幅方向における両端部を、該信号配線が対向する該部分の両側にある画素電極の端部と重畳させてあるので、そのことにより上記目的を達成することができる。

【0009】また、本発明のアクティブマトリクス基板は、基板上に走査配線と信号配線とが交差して形成されていると共に、両配線で囲まれた領域にスイッチング素子と画素電極とがマトリクス状に形成されたアクティブマトリクス基板において、該走査配線が隣合う画素電極の間の部分と対向させて設けられていると共に、走査配線と画素電極との間に2つの金属膜が走査配線の幅方向に並設され、各金属膜がその全体を走査配線と対向する該部分の両側にある画素電極のそれぞれと対向させると共に、走査配線と対向する隣合う画素電極間部分側にある端部を該画素電極の端部に揃えてあり、かつ端部を揃えた各端部を走査配線の幅方向両端部と重畳させてあるので、そのことにより上記目的を達成することができる。

【0010】

【作用】請求項1にあっては、画素電極と信号配線とが重ならず、かつ隣合う画素電極と金属膜の端部とが重なる構造となっている。このため、画素電極と信号配線との間での寄生容量の構成が、画素電極と金属膜による容量と、金属膜と信号配線による容量との直列構成となり、画素電極に及ぶ寄生容量を低減させることができる。

【0011】請求項3にあっては、画素電極と端部を揃えて金属膜が設けられているので、この金属膜が、光漏れを生じる部分を隠すことになり、よって光漏れの発生を防止できる。

【0012】

【実施例】以下、本発明を実施例により詳細に説明する。

【0013】図1は本実施例のアクティブマトリクス基板を示す部分平面図であり、図2はその基板のTFT部分を示す断面図である。このアクティブマトリクス基板は、絶縁基板としてのガラス基板101上に、走査配線としてのゲート配線102が横方向に複数平行に形成され、このゲート配線102と交差して、信号配線としてのソース配線108が複数平行に形成されている。

【0014】ゲート配線102とソース配線106とで囲まれた各領域には、TFT112と画素電極111とが設けられている。TFT112は、従来同様に構成されている。具体的には、ガラス基板101上の或る範囲

に走査配線としてのゲート配線102と一体的なゲート電極102aが形成され、このゲート電極102aを覆って基板101上に絶縁膜104が形成されている。絶縁膜104の上には、前記ゲート電極102aの上方部分に半導体層105が或る範囲で形成され、この半導体層105の上にはその中央部に沿って絶縁膜106が形成されていると共に、絶縁膜106の上で2つに分断されて半導体層107a、107bが形成されている。

【0015】一方の半導体層107aの上から、他方の半導体層107bとは反対側の絶縁膜104上にわたり信号配線としてのソース配線108が形成され、他方の半導体層107bの上から、一方の半導体層107aとは反対側の絶縁膜104上にわたりドレイン電極109が形成されている。これにより、前記TFTが形成される。

【0016】前記画素電極111は、上述のように構成されたTFT112の上に間に絶縁膜110を介して形成されている。具体的には、ドレイン電極109の上方の絶縁膜110部分にコンタクト・ホール110aが形成され、そのコンタクト・ホール110aに充填すると共にゲート配線102と一部重なる状態で、絶縁膜110上に形成されている。

【0017】また、画素電極111は、図3（図1のA-A'断面図）に示すようにソース配線108の上に間に絶縁膜110を介して設けられ、ソース配線108の下には間に絶縁膜104を介して寄生容量用の金属膜103が形成されている。

【0018】上記構成のアクティブマトリクス基板の製造は、図4に示すようにして行われる。まず、(a)に示すように、ガラス基板101上に3000オングストローム厚のTa膜を形成し、これをパターニングしてゲート配線102とゲート電極102aと金属膜103を形成する。なお、金属膜103は、ゲート配線102及びゲート電極102aとは別の時に形成してもよいが、実施例のように同時に形成した場合には工程の省略を図れる。

【0019】次に、(b)に示すように、例えばスパッタリングやプラズマCVD法を用いて、絶縁膜104となる3000オングストローム厚のSiNx膜を全面にわたって被着させ、その後、半導体層105となる3000オングストローム厚のa-Si層、絶縁膜106となる2000オングストローム厚のSiNx膜を全面にわたって連続的に被着した後、ホットエッチングにより上記絶縁膜106を図示のようなパターンに形成する。なお、上記絶縁膜104を被着させる前に、ゲート配線102を陽極酸化して絶縁膜104を形成してもよいし、あるいは絶縁膜104にSiNx以外の絶縁膜を使用してもよい。

【0020】次に、(c)に示すように、例えばプラズマCVD法によりPをドーブしたa-Si膜を500オ

ングストローム厚で全面にわたって被着した後、ホットエッチングにより上記絶縁膜106の両側部以外を除去して半導体層107a、107bを形成し、さらにスパッタリングによってMo層を3000オングストローム厚で被着した後、ホットエッチングにより上記Mo層を図示のようなパターンのソース配線108（図1参照）、ソース電極108a及びドレイン電極109を形成する。なお、Pをドーブしたa-Si膜は、イオン・ドーピング法により形成してもよい。また、上記ソース配線108、ソース電極108a及びドレイン電極109はT

i、Al等の金属を使用してもよい。
【0021】次に、上記構造の上の全面に、1μm厚の有機保護膜を被着して絶縁膜108とし、コンタクト・ホール110aを上記絶縁膜110にホットエッチングにより形成し、最後にコンタクト・ホール110aに充填すると共に、金属膜103及びゲート配線102に一部重なる状態で、絶縁膜110上に1000オングストロームのITOをスパッタリングによって被着した後、ホットエッチングすることにより画素電極111を形成する。

【0022】上記有機保護膜としては、日本合成ゴム製JSS-7215アクリル樹脂や、日立化成PIX-8803等のポリイミド膜、東レS414等の感光性ポリイミド膜等を用いることができる。また、絶縁膜110は有機膜以外にSiNx、SiO₂等無機膜を使用してもよい。

【0023】このようにして製造した本実施例のアクティブマトリクス基板においては、図3に示すように画素電極111がソース配線108の上に間に絶縁膜110を介して設けられ、ソース配線108の下には間に絶縁膜104を介して寄生容量用の金属膜103が形成されている。また、ソース配線108がその幅方向端部を画素電極111と重畳させることなく、隣合う画素電極111の間の部分と対向させて設けられていると共に金属膜103がソース配線108の一部分と重畳して設けられており、金属膜103が前記幅方向における両端部を、ソース配線108が対向する該部分の両側にある画素電極111の端部と重畳させてある。

【0024】このため、画素電極111とソース配線108との間での寄生容量の構成が、画素電極111と金属膜103による容量と、金属膜103とソース配線108による容量との直列構成となる。よって、画素電極111に及ぶ寄生容量を低減させることが可能となり、コントラストの向上を図れる。また、画素電極111とソース配線108が直接重ならないので、絶縁膜の欠陥により生じるリークを減少させることもできる。なお、金属膜103は、ソース半導体108の全長にわたり形成してもよい。

【0025】図5は本発明の他の実施例を示す部分平面図であり、図6は図5のB-B'断面図を示す。このア

クティブマトリクス基板は、金属膜に関すること以外を前実施例と同様にして構成されている。この実施例は、ゲート配線102が隣合う画素電極111の間の部分と対向させて設けられ、ゲート配線102と画素電極111との間に2つの金属膜103a、103bがゲート配線102の幅方向に並設されている。

【0026】この構成のアクティブマトリクス基板の製造は、図7に示すようにして行われる。まず、(a)に示すように、ガラス基板101上に3000オングストローム厚のTa膜を形成し、これをパターニングしてゲート配線102とゲート電極102aを形成する。

【0027】次に、(b)に示すように、例えばスパッタリングやプラズマCVD法を用いて、絶縁膜104となる3000オングストローム厚のSiNx膜を全面にわたって被着させ、その後、半導体層105となる3000オングストローム厚のa-Si層、絶縁膜106となる2000オングストローム厚のSiNx膜を全面にわたって連続的に被着した後、ホットエッチングにより上記絶縁膜106を図示のようなパターンに形成する。なお、上記絶縁膜104を被着させる前に、ゲート配線102を陽極酸化して絶縁膜104を形成してもよいし、あるいは絶縁膜104にSiNx以外の絶縁膜を使用してもよい。

【0028】次に、(c)に示すように、例えばプラズマCVD法によりPをドーブしたa-Si膜を500オングストローム厚で全面にわたって被着した後、ホットエッチングにより上記絶縁膜106の両側部以外を除去して半導体層107a、107bを形成し、さらにスパッタリングによってMo層を3000オングストローム厚で被着した後、ホットエッチングにより上記Mo層を図示のようなパターンのソース配線108（図1参照）、ソース電極108a及び2つの金属膜103a、103bを形成する。一方の金属膜103aは前実施例のドレイン電極109を兼用する。なお、この金属膜103aは、別体に設けたドレイン電極とつなぐようにしてもよい。また、Pをドーブしたa-Si膜は、イオン・ドーピング法により形成してもよい。更に、上記ソース配線108、ソース電極108a及びドレイン電極109はTi、Al等の金属を使用してもよい。更に、2つの金属膜103a、103bは、ソース配線108とは別工程で形成してもよいが、同時に形成した場合には工程の省略を図れる。

【0029】次に、上記構造の上の全面に、1μm厚の有機保護膜を被着して絶縁膜110とし、コンタクト・ホール110aを上記絶縁膜110にホットエッチングにより形成し、最後にコンタクト・ホール110aに充填すると共に、2つの金属膜103a、103b及びソース配線108の一部重なる状態で、絶縁膜110上に1000オングストロームのITOをスパッタリングによって被着した後、ホットエッチングすることにより画素電

極111を形成する。上記有機保護膜としては、前実施例と同様の材料を使用できる。

【0030】このようにして製造された本実施例のアクティブマトリクス基板においては、図6に示すように、ゲート配線102が隣合う画素電極111の間の部分と対向させて設けられ、ゲート配線102と画素電極111との間に2つの金属膜103a、103bがゲート配線102の幅方向に並設されている。また、各金属膜103a、103bは、その全体をゲート配線102と対向する該部分の両側にある画素電極111のそれぞれと対向させると共に、ゲート配線102と対向する隣合う画素電極111の間の部分側にある端を、画素電極111の端に揃えてあり、かつ端を揃えた各端部をゲート配線102の幅方向両端部と重畳させてある。

【0031】したがって、本実施例においては、画素電極111と端を揃えて金属膜103a、103bが設けられているので、この金属膜103a、103bが、光漏れを生じる部分を隠すことになり、つまり遮光膜として機能することになり、よって光漏れの発生を防止でき、コントラストを向上させることが可能となる。

【0032】上記実施例では、a-Siからなる半導体層105と、Moからなるソース配線108、ドレイン電極109（又は金属膜103a）との間に、Pをドーブしたa-Siからなる半導体層107a、107bを設けているので、これらの間のオーミックコンタクトがとれるという利点がある。

【0033】なお、本発明は上述した構成のアクティブマトリクス基板に限られず、他の構成のものにも適用できることはいうまでもない。

【0034】

【発明の効果】以上の説明で明かなように、本発明のアクティブマトリクス基板は、寄生容量を低減することができるので、コントラストを向上させて表示品位を高めることが可能となる。また、画素電極とソース配線が直接重ならない構造とすることができるので、絶縁膜の欠陥によるリークが減少させることもできる。更に、金属*

*膜を走査配線と平行に形成し、絶縁膜を介して画素電極と重なる構成とすることにより、従来構造よりも開口率を高くできる。加えて、工程の複雑化が生じないので、液晶表示装置の工程数が増加することによる歩留まり低下を防ぐことができる。

【図面の簡単な説明】

【図1】本発明のアクティブマトリクス基板の実施例を示す部分平面図である。

【図2】そのアクティブマトリクス基板のTFT部分を示す断面図である。

【図3】図1のA-A'線断面図である。

【図4】(a)～(d)は上記実施例の製造方法を示す部分平面図である。

【図5】本発明の他の実施例を示す部分平面図である。

【図6】図5のB-B'線による断面図である。

【図7】(a)～(d)は上記他の実施例の製造方法を示す部分平面図である。

【図8】従来構造のアクティブマトリクス基板の部分平面図である。

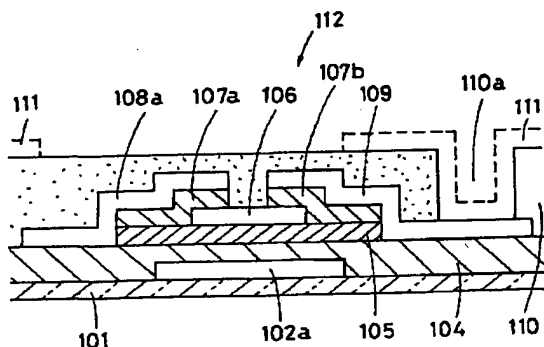
【図9】図8のC-C'線断面図である。

【図10】図8のD-D'線断面図である。

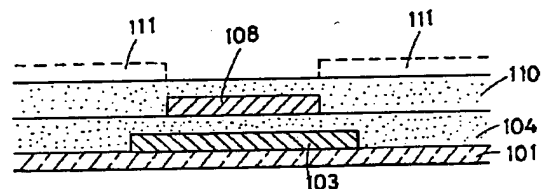
【符号の説明】

101	ガラス基板
102	ゲート配線
102a	ゲート電極
103	金属膜
103a	金属膜
103b	金属膜
104	絶縁膜
106	絶縁膜
108	ソース配線
109	ドレイン電極
110	絶縁膜
110a	コンタクト・ホール
111	画素電極

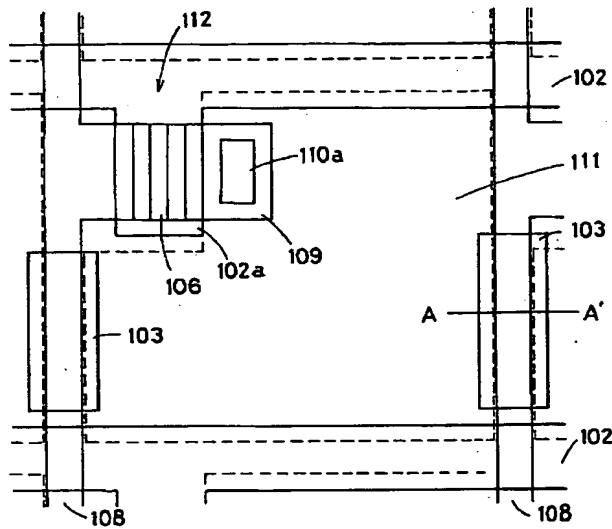
【図2】



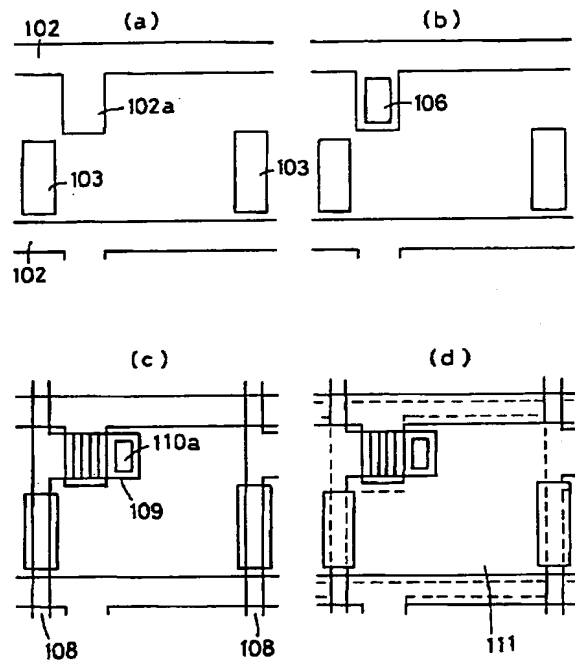
【図3】



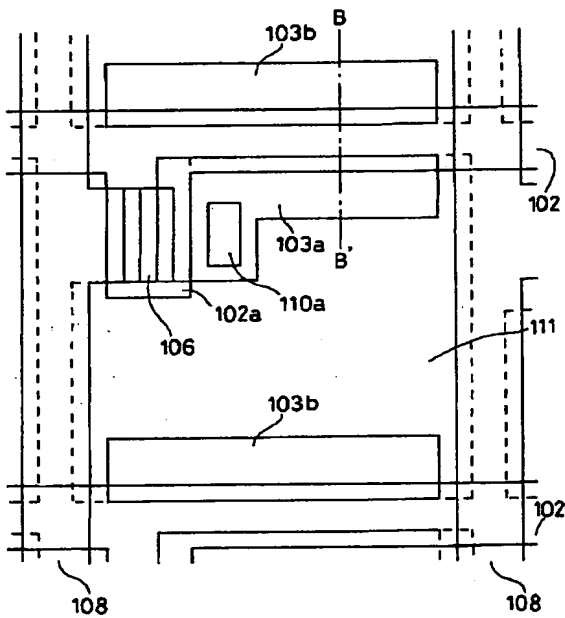
【図1】



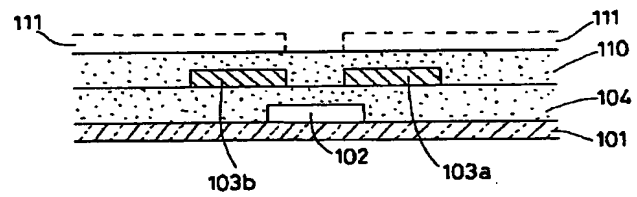
【図4】



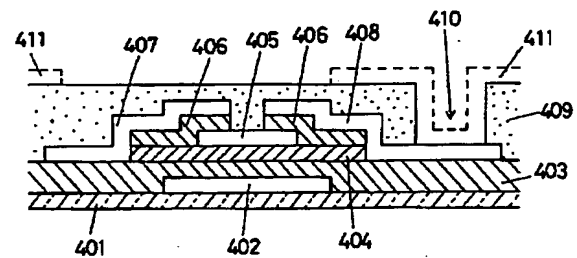
【図5】



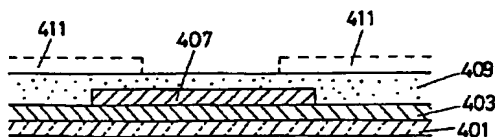
【図6】



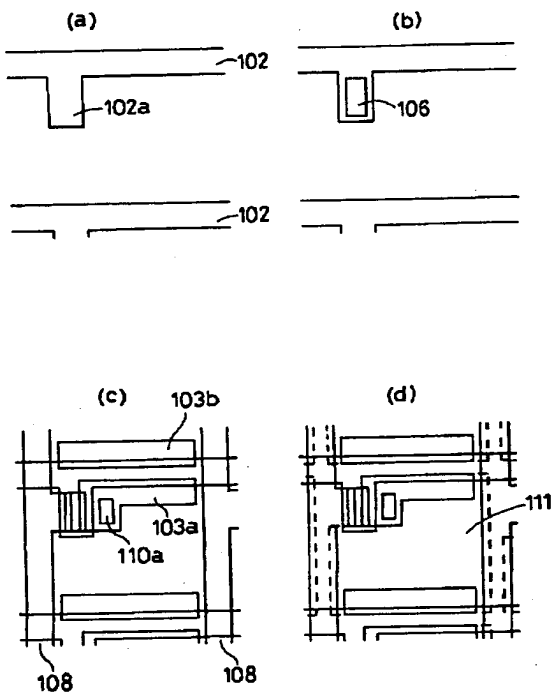
【図9】



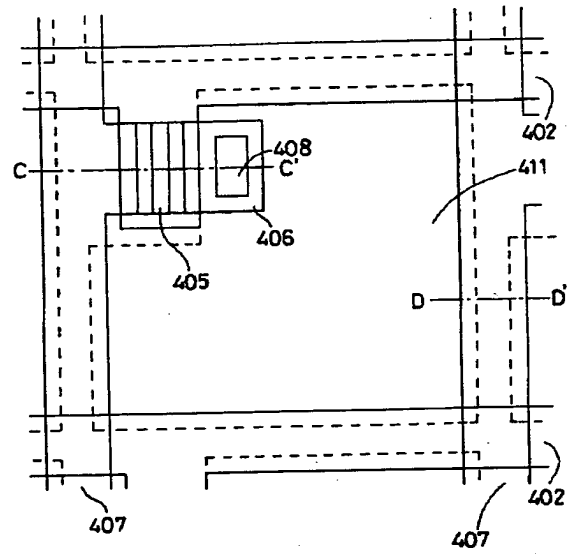
【図10】



【図7】



【図8】



フロントページの続き

(72)発明者 森本 弘
 大阪府大阪市阿倍野区長池町22番22号 シ
 ヤーブ株式会社内